

POWER SUPPLY CIRCUIT

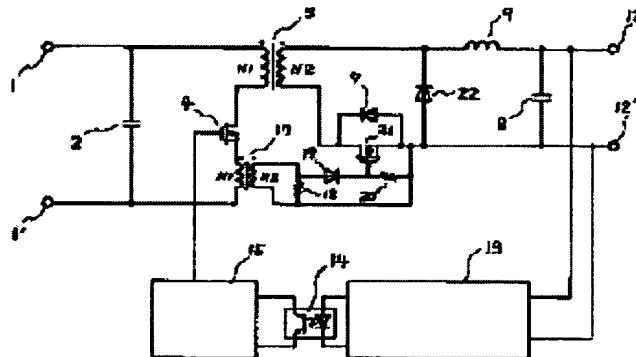
Patent number: JP9322532
Publication date: 1997-12-12
Inventor: SUZUKI KAZUYA; MASUYAMA TOSHIHIKO
Applicant: ORIGIN ELECTRIC
Classification:
- **International:** H02M3/28; H02M3/335; H02M7/21; H02M3/24;
H02M7/21; (IPC1-7): H02M3/28; H02M3/335; H02M7/21
- **European:**
Application number: JP19960156130 19960528
Priority number(s): JP19960156130 19960528

[Report a data error here](#)

Abstract of JP9322532

PROBLEM TO BE SOLVED: To reduce a loss at the time of a light load, by a method in which the primary winding of a current transformer is connected so as to detect a current which is turned on/off by a main switching device, and an FET is driven by the secondary winding of the current transformer.

SOLUTION: If a driving signal is applied to a main switching device 4 from a control circuit 15, a current proportional to an output current flows through the primary winding N1 of a transformer 3. At that time, a voltage is induced in the secondary winding N2 of the transformer 3 and a current is supplied to the output side through a choke coil 9, a capacitor 8 and a diode 7. At the same time, a voltage is induced in the secondary winding N2 of a current transformer 17, and a current flows through a resistor 18, a diode 19 and a resistor 20 to turn on an FET 21. Therefore, the ON-voltage of the FET 21 can be set at a value lower than the normal forward voltage of a diode, so that a loss can be reduced.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-322532

(43)公開日 平成9年(1997)12月12日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 02 M 3/28			H 02 M 3/28	F
3/335			3/335	B
7/21		8726-5H	7/21	A

審査請求 未請求 請求項の数 5 FD (全 7 頁)

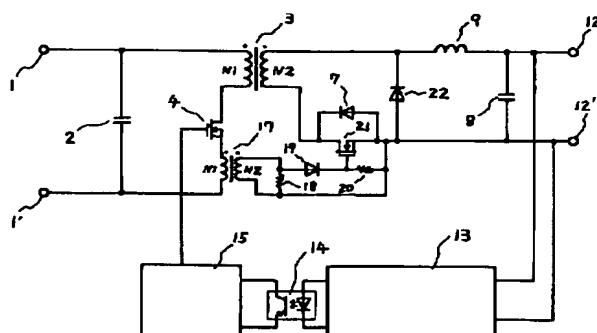
(21)出願番号	特願平8-156130	(71)出願人	000103976 オリジン電気株式会社 東京都豊島区高田1丁目18番1号
(22)出願日	平成8年(1996)5月28日	(72)発明者	鈴木 和也 東京都豊島区高田1丁目18番1号 オリジン電気株式会社内
		(72)発明者	増山 利彦 東京都豊島区高田1丁目18番1号 オリジン電気株式会社内

(54)【発明の名称】 電源回路

(57)【要約】

【課題】 従来の電源回路にあっては、FETに供給されるエネルギーが出力電力に関係なく一定であるので、軽負荷時の損失が大きいという問題があった。

【解決手段】 整流側にFET21を用いた電源回路において、1次巻線N1が主スイッチング素子4と直列に接続され、2次巻線N2間に該主スイッチング素子4のオン時に導通する極性のダイオード19と抵抗20よりなる直列回路が接続された変流器17と、該抵抗20の両端にゲートとソースが接続され、主スイッチング素子4のオン時にオンするFET21とからなることを特徴とする電源回路。



【特許請求の範囲】

【請求項1】 整流側或いはフライホイール側にFETを用いた電源回路において、主スイッチング素子によりオン、オフされた電流を検出するように変流器の1次巻線を接続し、該変流器の2次巻線により上記FETを駆動することを特徴とする電源回路。

【請求項2】 整流側にFETを用いた電源回路において、1次巻線が主スイッチング素子と直列に接続され、2次巻線間に該主スイッチング素子のオン時に導通する極性のダイオードと抵抗よりなる直列回路が接続された変流器と、該抵抗の両端にゲートとソースが接続され、主スイッチング素子のオン時にオンするFETとからなることを特徴とする電源回路。

【請求項3】 フライホイール側にFETを用いた電源回路において、1次巻線が主スイッチング素子と直列に接続され、2次巻線間に該主スイッチング素子のオン時に導通する極性のダイオードと抵抗よりなる直列回路が接続された変流器と、上記変流器の2次巻線間に上記主スイッチング素子のオフ時に導通する極性のダイオードを介してゲートとソースが接続され、主スイッチング素子のオフ時にオンするFETとからなることを特徴とする電源回路。

【請求項4】 整流側及びフライホイール側にFETを用いた電源回路において、変流器の第1の巻線が、主スイッチング素子と直列に接続され、変流器の第2の巻線間に、主スイッチング素子のオン時に導通する極性でダイオードと抵抗よりなる直列回路が接続され、該抵抗の両端に整流側FETのゲートとソースが主スイッチング素子のオン時に整流側FETが導通する極性で接続されると共に、変流器の第3の巻線が、フライホイール側FETのゲート、ソース間に、主スイッチング素子のオフ時に上記フライホイール側FETが導通する極性で接続されることを特徴とする電源回路。

【請求項5】 上記変流器にFET駆動以外の巻線を設け、該巻線の電圧を過電流保護の検出電圧として使用することを特徴とする請求項1乃至4のいずれかに記載の電源回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、整流側或いはフライホイール側にFETを用いた電源回路に関する。

【0002】

【従来の技術】 図10は従来の電源回路を説明するための図である。

【0003】 図10において、入力端子1、1'間に平滑用コンデンサ2を接続し、コンデンサ2に並列に、トランジスタ3の1次巻線N1、主スイッチング素子4、電流検出回路、例えば電流検出用抵抗5からなる直列回路を接続する。トランジスタ3の2次巻線N2間にFET6とダイオード7の直列回路を接続し、フライホイール側のF

FET6に並列にコンデンサ8とチョークコイル9の直列回路からなる平滑回路を接続する。

【0004】 ダイオード7の両端に抵抗10と抵抗11の直列回路を接続し、抵抗10と抵抗11の接続点をFET6のゲートに接続する。コンデンサ8の両端から出力端子12、12'を介して直流電圧を出力する。2次側制御回路13は出力端子12、12'の電圧を検出し、比較増幅した信号をホトカプラ14に供給する。制御回路15は、ホトカプラ14の信号により主スイッチング素子4のオン、オフ比を制御すると共に、抵抗5の両端電圧を比較増幅回路16により比較増幅した信号によっても、主スイッチング素子4のオン、オフ比を制御する機能を有する。

【0005】 次に動作を説明する。

【0006】 先ず、制御回路15より主スイッチング素子4に駆動信号が印加されると、主スイッチング素子4がオンし、トランジスタ3の1次巻線N1を介して電流が主スイッチング素子4に流れる。トランジスタ3の2次巻線N2には、黒印側を正とする電圧が誘起し、コンデンサ8、チョークコイル9、ダイオード7を介して出力側に電流が供給される。

【0007】 次に、制御回路15の駆動信号が消失すると、主スイッチング素子4がオフする。主スイッチング素子4のオフ期間にチョークコイル9に蓄積されたエネルギーがFET6を介してコンデンサ8と出力に供給される。このとき、トランジスタ3の2次巻線N2の黒印側を負とする電圧によりFET6のゲートに電流が供給されるので、FET6がオンし、FET6のソース・ドレン間はFET6のボディダイオードの順方向電圧より低くなり、FET6に生じる損失を低減させることができる。

【0008】

【発明が解決しようとする課題】 しかし、このような従来の電源回路にあっては、FET6の駆動エネルギーを主にトランジスタ3の2次巻線N2等の電圧源から得る構成になっているので、FET6に供給されるエネルギーは出力電力に關係なく一定であり、軽負荷時の損失が大きいという問題があった。

【0009】

【発明の目的】 本発明は、このような従来の問題点に着目してなされたもので、変流器の1次巻線を主回路電流がオン、オフする個所に接続し、該変流器の2次巻線に誘起するエネルギーによりFETを駆動することにより、上記問題点を解決することを目的とする。

【0010】

【課題を解決するための手段】 請求項1に記載の発明は、上記課題を解決するために、整流側或いはフライホイール側にFETを用いた電源回路において、主スイッチング素子によりオン、オフされた電流を検出するよう変流器の1次巻線を接続し、該変流器の2次巻線によ

り上記FETを駆動することを特徴とする電源回路を提供するものである。

【0011】請求項2に記載の発明は、上記課題を解決するために、整流側にFETを用いた電源回路において、1次巻線が主スイッチング素子と直列に接続され、2次巻線間に該主スイッチング素子のオン時に導通する極性のダイオードと抵抗よりなる直列回路が接続された変流器と、該抵抗の両端にゲートとソースが接続され、主スイッチング素子のオン時にオンするFETとからなることを特徴とする電源回路を提供するものである。

【0012】請求項3に記載の発明は、上記課題を解決するために、フライホイール側にFETを用いた電源回路において、1次巻線が主スイッチング素子と直列に接続され、2次巻線間に該主スイッチング素子のオン時に導通する極性のダイオードと抵抗よりなる直列回路が接続された変流器と、上記変流器の2次巻線間に上記主スイッチング素子のオフ時に導通する極性のダイオードを介してゲートとソースが接続され、主スイッチング素子のオフ時にオンするFETとからなることを特徴とする電源回路を提供するものである。

【0013】請求項4に記載の発明は、上記課題を解決するために、整流側及びフライホイール側にFETを用いた電源回路において、変流器の第1の巻線が、主スイッチング素子と直列に接続され、変流器の第2の巻線間に、主スイッチング素子のオン時に導通する極性でダイオードと抵抗よりなる直列回路が接続され、該抵抗の両端に整流側FETのゲートとソースが主スイッチング素子のオン時に整流側FETが導通する極性で接続されると共に、変流器の第3の巻線が、フライホイール側FETのゲート、ソース間に、主スイッチング素子のオフ時に上記フライホイール側FETが導通する極性で接続されることを特徴とする電源回路を提供するものである。

【0014】請求項5に記載の発明は、上記課題を解決するために、上記変流器にFET駆動以外の巻線を設け、該巻線の電圧を過電流保護の検出電圧として使用することを特徴とする請求項1乃至4のいずれかに記載の電源回路を提供するものである。

【0015】

【発明の実施の形態】図1及び図2は本発明の第1の実施の形態を説明するための図である。

【0016】図1において、主スイッチング素子4と直列に変流器17の1次巻線N1を接続し、変流器17の2次巻線N2間に抵抗18を接続する。抵抗18の両端にダイオード19と抵抗20の直列回路を接続する。ダイオード7と並列にFET21を接続し、FET21のゲートをダイオード19と抵抗20の接続点に、FET21のソースを抵抗20の他端にそれぞれ接続する。これらは、主スイッチング素子4がオンする時、FET21がオンするように接続される。22はフライホイールダイオードである。

【0017】次に図2を用いて動作を説明する。

【0018】先ず時刻t=t1で、駆動信号が制御回路15から主スイッチング素子4に印加されると、主スイッチング素子4がオンし、主スイッチング素子4には出力電流に比例した電流がトランス3の1次巻線N1を介して流れる。

【0019】この時、トランス3の2次巻線N2には、黒印側を正とする電圧が誘起し、チョークコイル9、コンデンサ8、ダイオード7を介して出力側に電流が供給される。同時に、変流器17の2次巻線N2からも黒印側を正とする電圧が誘起し、電流が抵抗18、及びダイオード19、抵抗20を流れ、FET21をオンさせる。FET21のオン電圧は、通常のダイオードの順方向電圧よりも低く設定できるので、損失を低減することができる。

【0020】時刻t=t2で主スイッチング素子4がオフすると、変流器17は時刻t=t1~t2間に励磁されたエネルギーを2次巻線N2から抵抗18に供給して、リセットする。

【0021】以上説明したように、この実施の形態では、FET21の駆動エネルギーは、出力電流が減少すると低下するため、損失を低減できると共に、出力電圧が低い時でも、FET21に駆動エネルギーを供給することができる。

【0022】図3は本発明の第2の実施の形態を説明するための図である。

【0023】この実施の形態は、FETをフライホイール側に用いたものであり、第1の実施の形態で説明した主スイッチング素子4がオフした時の変流器17のリセット電圧を利用し、ダイオード23及び抵抗24を介してFET6をオンさせるものである。

【0024】図4は本発明の第3の実施の形態を説明するための図である。

【0025】この実施の形態は、変流器17に第3の巻線N3を設け、FETを整流側とフライホイール側の両方に用いたものであり、主スイッチング素子4がオンの時には、変流器17の巻線N2よりFET21のゲートにオン信号を印加し、主スイッチング素子4がオフの時には、変流器17の巻線N3よりFET6のゲートにオン信号を印加する。

【0026】図5は本発明の第4の実施の形態を説明するための図である。

【0027】この実施の形態は、整流側FET21、フライホイール側FET6のゲート・ソース間に、それぞれツェナダイオード25、26を接続したものであり、整流側FET21、フライホイール側FET6のゲート・ソース間に異常に高い電圧が印加されるのを防止すると共に、主スイッチング素子4を流れる電流が増大した時、抵抗20に発生する電圧を一定にし、抵抗20の損失の増加を抑制することができる。

【0028】図6は本発明の第5の実施の形態を説明するための図である。

【0029】この実施の形態は、過電流保護機能を有する回路に適用したものであり、変流器17に巻線N4を設けて、抵抗27に主スイッチング素子4に流れる電流に比例した電圧を発生させ、ダイオード28を介して過電流制御回路29に信号を送出する。この信号は、過電流制御回路29により、予め定められた値以上になると、ほぼ一定になるように制御されるので、変流器17の巻線N4には、抵抗30に発生した電圧にほぼ比例した電圧が発生し、変流器17の巻線N2には、巻線N4の電圧に比例した電圧が発生する。主スイッチング素子4がオンした時、変流器17の巻線N2に発生した電圧によりダイオード19、抵抗31を介してFET21をオンさせる。

【0030】図7、図8は、それぞれ本発明の第6、第7の実施の形態を説明するための図である。

【0031】この実施の形態は、変流器17の1次巻線N1を整流側FET21、或いはフライホイル側FET6に直列に接続したものである。この実施の形態においても、以上説明したのとほぼ同様の効果が得られる。

【0032】図9は本発明の第8の実施の形態を説明するための図である。

【0033】この実施の形態は、主スイッチング素子4のオン時にトランジスタ3にエネルギーを充電し、オフ時に出力へエネルギーを供給するフライバック方式の回路に適用したものである。この実施の形態においても、以上説明したのとほぼ同様の効果が得られる。

【0034】尚、トランジスタ、主スイッチング素子、ダイオード等を含む電力変換部については、以上説明したこれららの実施の形態に限定されることなく、種々のものに適用することができる。

【0035】

【発明の効果】以上述べたように、本発明は、主スイッチング素子のオン、オフにより主回路電流が断続する箇所に変流器の1次巻線を接続し、その変流器の第2、または第3の巻線出力より整流側FET、或いはフライホイル側FETのゲート・ソース間にエネルギーを供給する回路である。従って、整流側FET、或いはフライホイル側FETのゲート・ソース間に、出力電流にほぼ比例した電圧が印加できるので、FETの駆動エネルギーの適正化ができる。また、回路の簡易化ができる、出力

電圧が3V以下でも使用できる、大出力電流用のFETの駆動回路にも使用できる等の効果が得られる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態を説明するための図である。

【図2】本発明の第1の実施の形態を説明するための図である。

【図3】本発明の第2の実施の形態を説明するための図である。

【図4】本発明の第3の実施の形態を説明するための図である。

【図5】本発明の第4の実施の形態を説明するための図である。

【図6】本発明の第5の実施の形態を説明するための図である。

【図7】本発明の第6の実施の形態を説明するための図である。

【図8】本発明の第7の実施の形態を説明するための図である。

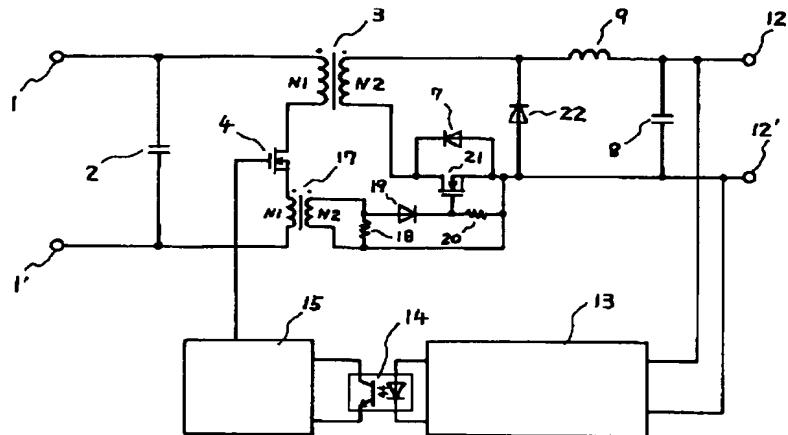
【図9】本発明の第8の実施の形態を説明するための図である。

【図10】従来例を説明するための図である。

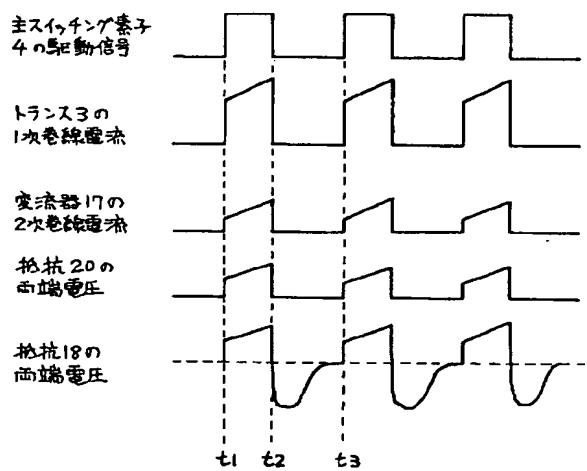
【符号の説明】

1, 1'	…入力端子	2 … 平滑用コンデンサ
3	…トランジスタ	4 … 主スイッチング素子
5	…抵抗	6 … FET
7	…ダイオード	8 … コンデンサ
9	…チョークコイル	10, 11 … 抵抗
12, 12'	…出力端子	13 … 2次側制御回路
14	…ホトカプラ	15 … 制御回路
16	…比較增幅回路	17 … 変流器
18	…抵抗	19 … ダイオード
20	…抵抗	21 … FET
22, 23	…ダイオード	24 … 抵抗
25, 26	…ツエナダイオード	27 … 抵抗
28	…ダイオード	29 … 過電流制御回路
30, 31	…抵抗	

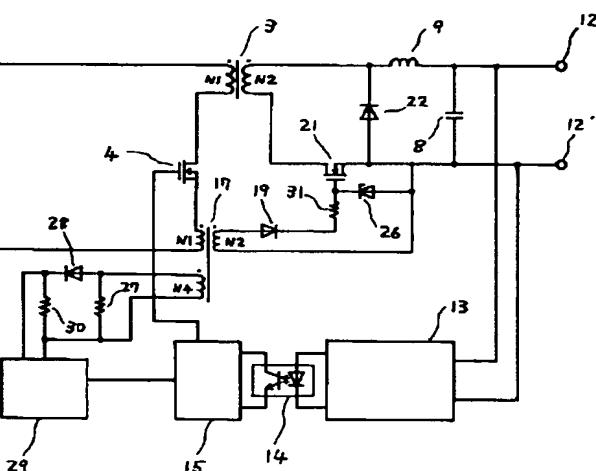
【図1】



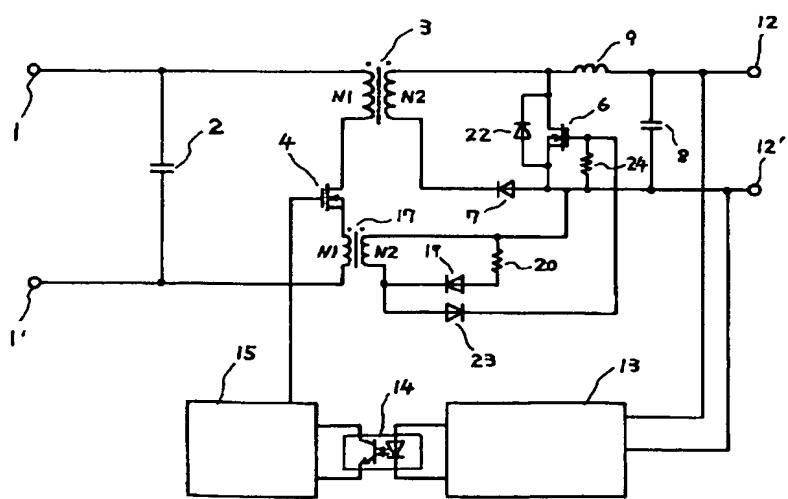
【図2】



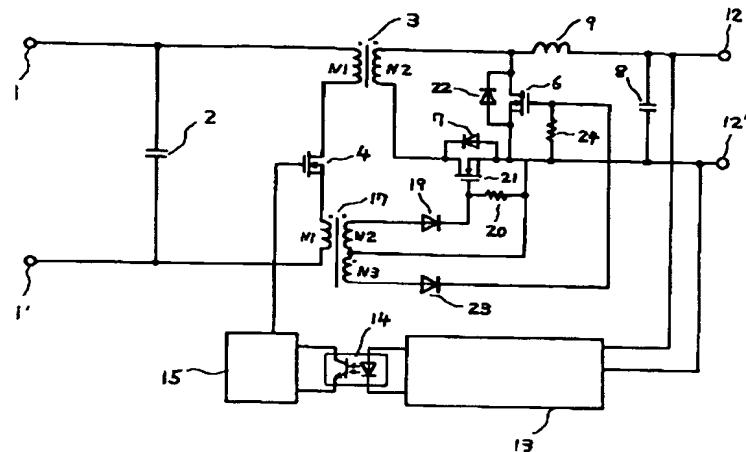
【図6】



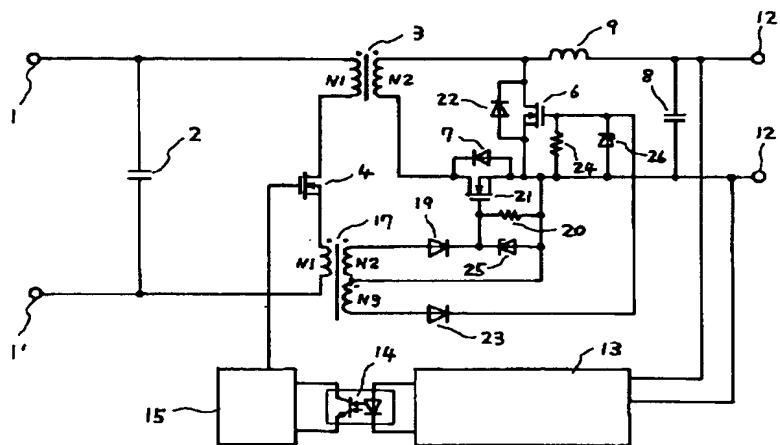
【図3】



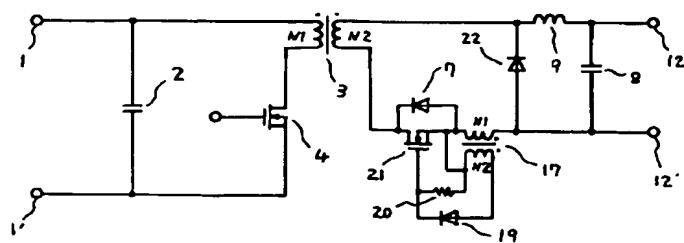
【図4】



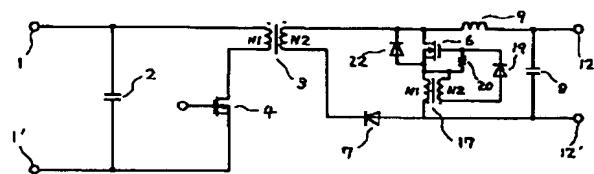
【図5】



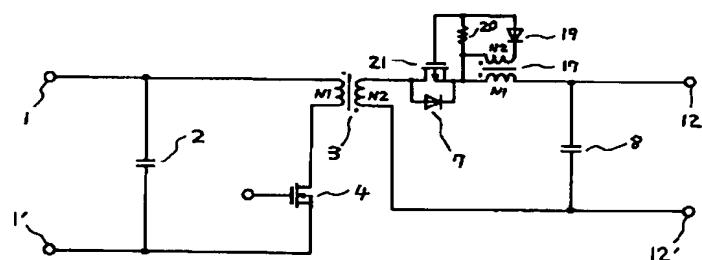
【図7】



【図8】



【図9】



【図10】

